

CLIPPEDIMAGE= JP403280582A
PAT-NO: JP403280582A
DOCUMENT-IDENTIFIER: JP 03280582 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: December 11, 1991

INVENTOR-INFORMATION:

NAME

MATSUDA, HAJIME

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP02082690

APPL-DATE: March 29, 1990

INT-CL_(IPC): H01L029/90

ABSTRACT:

PURPOSE: To avoid influence of an irregularity in surface concentration of a P-type substrate by forming a PN junction of an N-type impurity diffused layer formed with N-type buried polysilicon as a diffusion source and a P-type impurity diffused layer of a lower part of a first recess formed in advance.

CONSTITUTION: A field oxide film 2 is formed by selectively oxidizing a P-type Si substrate 1, a thin oxide film on a diode forming region is removed, and the substrate 1 is selectively etched to form a first recess. Then, an oxide film is formed on the entire surface, entirely etched by an RIE method, only a side oxide film 4 remains, and the oxide film of the other region is removed. Thereafter, after a P-type impurity diffused layer 5 is formed, a polysilicon film is grown by a CVD method, only the polysilicon of the buried part remains, and the polysilicon of the other part is removed by etching. Then, impurity is injected into the polysilicon to form an N-type buried polysilicon 7, and heat treated to form an N-type impurity diffused layer 6. Subsequently, a thin oxide film 11 is formed on a part not covered with the film 2, and an interlayer insulating film 3, a contact opening and Al wirings 8 are eventually formed.

COPYRIGHT: (C)1991,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-280582

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月11日

H 01 L 29/90

D

7638-4M

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-82690

⑰ 出 願 平2(1990)3月29日

⑱ 発 明 者 松 田 肇 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

1. 一導電型の半導体基板の所定領域にエッチングにより形成された第1の凹部と、

前記第1の凹部の側壁に形成された絶縁膜と、

前記第1の凹部に埋込まれた逆導電型のポリシリコンと、

前記逆導電型のポリシリコン下部の前記半導体基板に、前記逆導電型のポリシリコンからの熱拡散により形成された逆導電型の第1の拡散層と、

前記逆導電型のポリシリコン下部の前記半導体基板に形成された一導電型の第2の拡散層と、を有することを特徴とする半導体装置。

2. 前記半導体基板の所定領域にエッチングにより形成された第2の凹部と、

前記第2の凹部の側壁に形成された絶縁膜と、

前記第2の凹部に埋込まれた一導電型のポリシリコンと、

前記一導電型のポリシリコン下部の前記半導体基板に、前記一導電型のポリシリコンからの熱拡散により形成された逆導電型の第3の拡散層と、を有することを特徴とする請求項1記載の半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特に内部電圧安定回路等に用いるクランプ用PN接合ダイオードに関する。

(従来の技術)

内部電圧安定回路等に用いる従来のクランプ用PN接合ダイオードは、第3図に示す断面図のよう、フィールド酸化膜2で分離されたP型Si基板1の領域に、例えば、イオン注入でN型不純物を導入しアニールを行なうことにより形成したN型不純物領域6a、およびP型Si基板1によ

り形成されるPN接合を用いていた。また、従来のクランプ用PN接合ダイオードの耐圧のコントロールは、フィールド酸化膜2下の濃度あるいはN型不純物領域6aの形成を高濃度の砒素および低濃度な燐の2重イオン注入で行なう注入条件によって行なっていた。

(発明が解決しようとする課題)

上述した従来のPN接合ダイオードは、構造が非常に簡単である点は良かったが、一方で次のような欠点を有していた。

第1に、クランプ電圧(ブレークダウン電圧)がフィールド酸化膜2の膜厚のばらつきにより影響されてしまうことである。P型Si基板1の不純物であるボロン原子が酸化されるにしたがって酸化膜中に取り込まれ、P型Si基板1中のボロン濃度が低下してしまう。そのため、フィールド酸化膜2のように $\sim 1.0\mu\text{m}$ と厚い場合、フィールド酸化膜2直下のP型Si基板1表面の濃度の低下も大きく、フィールド酸化膜2の膜厚のばらつきが濃度のばらつきとなり、これがクランプ電

圧のばらつきになる。

第2に、ブレークダウンはN型不純物領域6aとP型Si基板1との界面におけるP型Si基板1表面近傍で起るため、ブレークダウンにより発生した電子-正孔対が酸化膜中に捕獲され、特に正孔の捕獲が顕著となることにより表面近傍における界面での空乏層を拡げることになり、クランプ電圧が時間とともに上昇してしまうことがある。ことにN型不純物領域6aとP型Si基板1との界面におけるP型Si基板1表面近傍の表面の酸化膜はフィールド酸化膜2から薄い酸化膜11aに変る領域でもあり、捕獲順位も多くクランプ電圧の変動も大きいものとなる。

(課題を解決するための手段)

本発明の半導体装置は、一導電型の半導体基板の所定領域にエッチングにより形成された凹部と、凹部の側壁に形成された絶縁膜と、凹部に埋込まれた逆導電型のポリシリコンと、逆導電型のポリシリコン下部の半導体基板に逆導電型のポリシリコンからの熱拡散により形成された逆導電型

の第1の拡散層と、逆導電型のポリシリコン下部の前記半導体基板に形成された一導電型の第2の拡散層とを有している。

(実施例)

次に本発明について図面を参照して説明する。

第1図は、本発明の第1の実施例の断面図である。P型Si基板1上に選択酸化により形成されたフィールド酸化膜2と、選択的にP型Si基板1をエッチングして形成した第1の凹部の側壁に形成された側壁酸化膜4と、第1の凹部に埋込まれたN型埋込みポリシリコン7と、N型埋込みポリシリコン7を拡散源として形成されたN型不純物拡散層6と、N型埋込みポリシリコン7の形成前にN型不純物拡散層6よりもさらに深い領域に形成したP型不純物拡散層5と、薄い酸化膜11と、層間絶縁膜3と、A₁配線8とから本実施例の半導体装置は構成されている。本実施例においては、P型不純物拡散層5とN型不純物拡散層6とによりPN接合ダイオードが形成されている。

クランプ電圧の耐圧コントロールは、P型不純

物拡散層5の不純物濃度を変更することにより行なわれる。このとき、P型不純物拡散層5の不純物濃度としては、P型Si基板1の他の領域の不純物濃度より高く、従って、クランプ電圧の耐圧コントロールはP型不純物拡散層5とN型不純物拡散層6とのそれぞれの不純物濃度により決定されることになる。別の方法として、N型不純物拡散層6は上述のようにN型埋込みポリシリコン7が拡散源であり、N型埋込みポリシリコン7中の不純物を砒素もしくは砒素と燐の2種類にすることにより、あるいはそれぞれの濃度を変えることによって、PN接合ダイオードの耐圧をコントロールすることもできる。

次に、本実施例の構造を製造する方法について説明する。

まず、P型Si基板1に選択酸化を行なってフィールド酸化膜2を形成し、ダイオード形成領域上の薄い酸化膜を除去した後、選択的にP型Si基板1のエッチングを行ない第1の凹部を形成する。

次に、例えば熱酸化法により、表面全体に酸化膜を形成する。この酸化膜は、側壁酸化膜となるため、ダイオードの耐圧に充分耐る膜厚を要す。続いて、全体にRIE法によるエッチング（エッチバック）を行ない、側壁酸化膜4のみを残し、他の領域の酸化膜を除去する。

その後、フォトリソグラフィ技術およびイオン注入技術により、P型不純物拡散層5を形成する。

次に、CVD法によりポリシリコン膜の成長を行ない、エッチバックを行なうことにより埋込み部分のポリシリコンのみを残し、他の部分のポリシリコンはエッチング除去する。この後、選択的にN型不純物拡散層を形成するための不純物をポリシリコン中に導入してN型埋込みポリシリコン7を形成し、熱処理を行なうことで、N型不純物拡散層6を形成する。

次に、フィールド酸化膜2で覆われていない部分に、熱酸化により薄い酸化膜11を形成する。最後に、層間絶縁膜3、コンタクト開口、A₁配

線8等を形成し、本実施例の半導体装置の構造を完成する。

本実施例ではP型基板上のN型不純物拡散層でのPN接合について説明したが、N型基板上のP型不純物拡散層でのPN接合でも同等の効果が得られる。

第2図は、本発明の第2の実施例の断面図である。N型埋込みポリシリコン7、P型不純物拡散層5、N型不純物拡散層6等の構造、形成方法は、第1の実施例と同じである。

P型Si基板1への電極を形成する場所は、シリーズ抵抗が最小になるように、最もP型不純物拡散層5に近い領域にすべきである。N型埋込みポリシリコン7の形成方法と同様の方法により、P型埋込みポリシリコン10を形成し、N型不純物拡散層6を形成する時の熱処理でP型不純物拡散層9も同時に形成する。

これにより、P型Si基板1側のシリーズ抵抗を最小にすることが可能となる。

（発明の効果）

以上説明したように本発明は、実施例に示した導電型の場合において、N型埋込みポリシリコンを拡散源として形成したN型不純物拡散層とあらかじめ形成しておいた第1の凹部下部のP型不純物拡散層とによりPN接合を形成しており、N型埋込みポリシリコンは第1の凹部の側壁に形成された絶縁膜によりP型基板と絶縁されているため、PN接合ダイオードのブレークダウンを起す箇所はP型基板の内部となり、P型基板の表面濃度のばらつきの影響を受けることはまったくないことになる。

また、PN接合ダイオードのブレークダウンを起す箇所の近傍には正孔を捕獲しやすい酸化膜はほとんどなく、クランプ電圧の時間変動もほとんどないクランプ用PN接合ダイオードを実現できる。

これらの効果は、導電型を逆転しても同様に得られる。

第1図は本発明の第1の実施例の断面図、第2図は本発明の第2の実施例の断面図、第3図は従来のPN接合ダイオードの断面図である。

1…P型Si基板、2…フィールド酸化膜、3…層間絶縁膜、4…側壁酸化膜、5、9…P型不純物拡散層、6…N型不純物拡散層、7…N型埋込みポリシリコン、8…A₁配線、10…P型埋込みポリシリコン、11、11a…薄い酸化膜。

代理人 弁理士 内 原 晋